

MENU

SEARCH

INDEX

JAPANESE

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-242020

(43)Date of publication of application : 29.10.1991

(51)Int.Cl.

H03K 17/687

H03K 17/16

H03K 19/0175

H03K 19/0185

(21)Application number : 02-040143

(71)Applicant : NEC CORP

(22)Date of filing : 20.02.1990

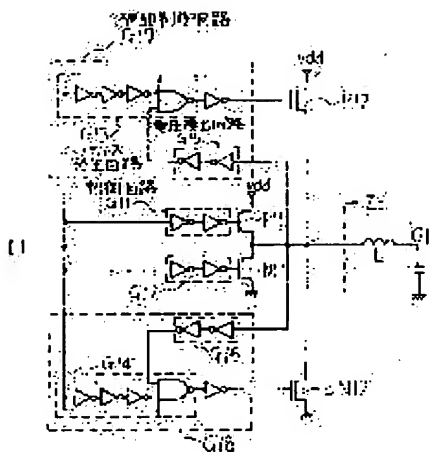
(72)Inventor : WABUKA YUTAKA

## (54) OUTPUT BUFFER

## (57)Abstract:

**PURPOSE:** To reduce the overshoot or undershoot at an output point by devising the buffer so as to supply a current only through an output transistor(TR) whose impedance is equal to that of a signal transmission line.

**CONSTITUTION:** When an output voltage approaches a high voltage level, the output of an auxiliary control circuit G17 goes to a high level, then a TR P12 is turned off, and when an output voltage approaches a low voltage level, the output of an auxiliary control circuit 18 goes to a low level and a TR N12 is turned off, the TRs P12, N12 have a geometrical size to satisfy the delay time of the output buffer on request. That is, the low output impedance of the auxiliary output TRs P12, N12 is required for obtaining a high speed output buffer. Thus, the overshoot or undershoot caused in an output signal passing through the signal transmission line is decreased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

## ⑫ 公開特許公報(A)

平3-242020

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月29日

H 03 K 17/687  
17/16  
19/0175  
19/0185

H 7125-5 J

8221-5 J H 03 K 17/687  
8941-5 J 19/00  
8941-5 J1 0 1 F  
1 0 1 D  
J

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 出力バッファ

⑮ 特 願 平2-40143

⑯ 出 願 平2(1990)2月20日

⑰ 発 明 者 和 深 裕 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

## 明 細 書

発明の名称

出力バッファ

特許請求の範囲

互いに電圧レベルの異なる2つの電圧源の間に直列に接続され信号伝送路の特性インピーダンスに等しい出力インピーダンスを有する第1トランジスタ及び第2トランジスタと、入力信号に基き前記第1トランジスタと前記第2トランジスタとを相補的に切り替える制御信号を発生させる制御部と、前記第1トランジスタと前記第2トランジスタとの間に設けられた出力ノードとを備える出力バッファにおいて、前記第1トランジスタ及び前記第2トランジスタとそれぞれ並列に接続された第3トランジスタ及び第4トランジスタと、前記第1トランジスタと同時に前記第3トランジスタをオンさせ前記第3トランジスタのオンからオフまでの時間を規定する第1計時手段と第1電

圧検出手段とにより出力ノード電圧が高電圧レベルに達する直前に前記第3トランジスタをオフさせる第1補助制御部と、前記第2トランジスタと同時に前記第4トランジスタをオンさせ前記第4トランジスタのオンからオフまでの時間を規定する第2計時手段と第2電圧検出手段により出力ノード電圧が低電圧レベルに達する直前に前記第4トランジスタをオフさせる第2補助制御部とを備えることを特徴とする出力バッファ。

発明の詳細な説明

〔産業上の利用分野〕

本発明は出力バッファに関する。

〔従来の技術〕

従来の出力バッファとしては、例えば第4図に示されているようなものが知られており、第4図に示されている出力バッファは入力信号13でPチャネルトランジスタP31とNチャネルトランジスタN31とを相補的に切り替え、特性インピーダンス2。の信号伝送路を通して出力信号03

のレベルを制御している。第4図に示されているインダクタンス $L$ 及び容量 $C$ は特性インピーダンス $Z_0$ の信号伝送路を等価的に表したものである。なお、 $G31$ 、 $G32$ は出力トランジスタ制御回路である。

〔発明が解決しようとする課題〕

近年、 $LSI$ を用いたシステム高速化に伴い出力バッファには駆動能力が大きく、かつ高速で動作することが要求されるようになってきた。この要求に対処すべく、従来の出力バッファでは、出力信号を切り替えるためのトランジスタの幾何学的寸法を大きくして対応してきたが、この対応では信号伝送路を通った出力信号 $O3$ に生じるオーバーシュートやアンダーシュートが大きくなり、これらに起因して誤動作が発生するという問題がある。

〔課題を解決するための手段〕

本発明は互いに電圧レベルの異なる2つの電圧源の間に直列に接続され信号伝送路の特性インピーダンスに等しい出力インピーダンスを有する第

1トランジスタ及び第2トランジスタと、入力信号に基づき前記第1トランジスタと前記第2トランジスタとを相補的に切り替える制御信号を発生させる制御部と、前記第1トランジスタと前記第2トランジスタとの間に設けられた出力ノードとを備える出力バッファにおいて、前記第1トランジスタ及び前記第2トランジスタとそれぞれ並列に接続された第3トランジスタ及び第4トランジスタと、前記第1トランジスタと同時に前記第3トランジスタをオンさせ前記第3トランジスタのオンからオフまでの時間を規定する第1計時手段と第1電圧検出手段とにより出力ノード電圧が高電圧レベルに達する直前に前記第3トランジスタをオフさせる第1補助制御部と、前記第2トランジスタと同時に前記第4トランジスタをオンさせ前記第4トランジスタのオンからオフまでの時間を規定する第2計時手段と第2電圧検出手段により出力ノード電圧が低電圧レベルに達する直前に前記第4トランジスタをオフさせる第2補助制御部とを備える。

〔実施例〕

次に、本発明について図面を参照して説明する。

本発明の一実施例を示す第1図を参照するとインダクタンス $L$ と容量 $C$ は特性インピーダンス $Z_0$ の信号伝送路を等価な回路に置き替えたものであり、出力トランジスタ $P11$ 、 $N11$ は信号伝送路の特性インピーダンスと等しい出力インピーダンスを有し、入力信号 $I1$ に基づき出力トランジスタ回路 $G11$ 、 $G12$ により相補的に切り替えられる。補助出力トランジスタ $P12$ は入力信号 $I1$ の立ち下がり時に出力トランジスタ補助制御回路 $G17$ が発生する $Low$ パルスにより、 $P$ チャネルトランジスタ $P11$ と同時にオンとなり、計時手段を有するパルス発生回路 $G13$ 及び出力ノード高電圧レベル検出回路 $15$ により、出力電圧が高電圧レベルに近づくと補助制御回路 $G17$ の出力がハイレベルとなりトランジスタ $P12$ はオフ状態となる。また、補助出力トランジスタ $N12$ は入力信号 $I1$ の立ち上がり時に出力トラン

ジスタ補助制御回路 $G18$ が発生する $High$ パルスにより、 $N$ チャネルトランジスタ $N11$ と同時にオンとなり、計時手段を有するパルス発生回路 $G14$ 及び出力ノード低電圧レベル検出回路 $G16$ により、出力電圧が低電圧レベルに近づくと補助制御回路 $G18$ の出力がロウレベルとなりトランジスタ $N12$ はオフ状態となる。トランジスタ $P12$ 、 $N12$ は要求される出力バッファの遅延時間を満足するような幾何学的寸法とする。すなわち、高速の出力バッファとするには補助出力トランジスタ $P12$ 、 $N12$ は低出力インピーダンスにする。

第2図は従来のトライステート出力バッファに対応する本発明の他の実施例を示す。制御信号 $C2$ がハイレベルの場合は上記実施例と同じ動作をし、制御信号 $C2$ がロウレベルの場合は出力トランジスタ $P21$ 、 $P22$ 、 $N21$ 、 $N22$ はすべてオフ状態となり、出力ノードレベル検出回路 $G25$ 、 $G26$ は入力禁止状態となる。この実施例の場合も、トランジスタ $P21$ 、 $N21$ の出力イ

インピーダンスは、●路の特性インピーダンスと等しく、トランジスタP22、N22は低出力インピーダンスにする。

上述した各実施例の構成を採ることにより、第3図に示すように、信号伝送路を通った出力信号O1、O2に生じるオーバーシュートやアンダーシュートを低減することができる。

〔発明の効果〕

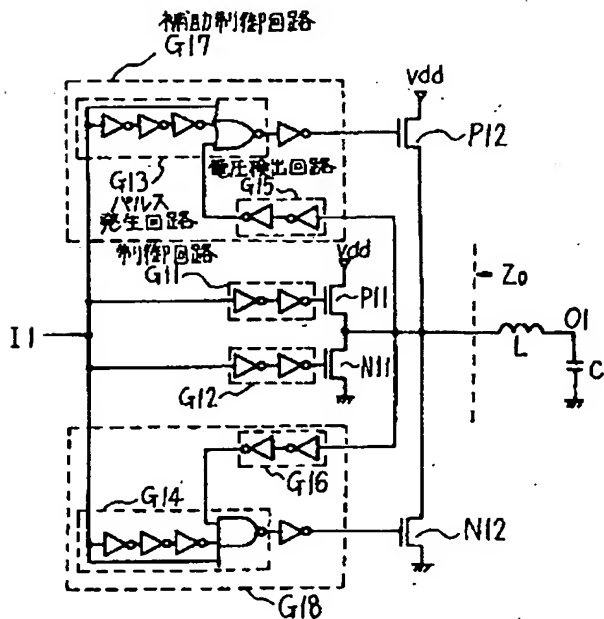
以上説明したように本発明によれば、信号伝送路を通った出力点の電圧は当初2つのトランジスタを介して何れかの電源の電圧値に向かって移行を開始するが、この電圧値に近付くと出力ノードレベル検出回路を有する第1または第2の補助制御部により、1つの低出力インピーダンスの補助出力トランジスタがオフし、伝送路とインピーダンスが等しい出力トランジスタのみを介して電流が供給されるので、出力点におけるオーバーシュートやアンダーシュートが低減でき、しかも当初は低出力インピーダンスのトランジスタで充・放電をさせるため、高速動作を行うことができる。

図面の簡明な説明

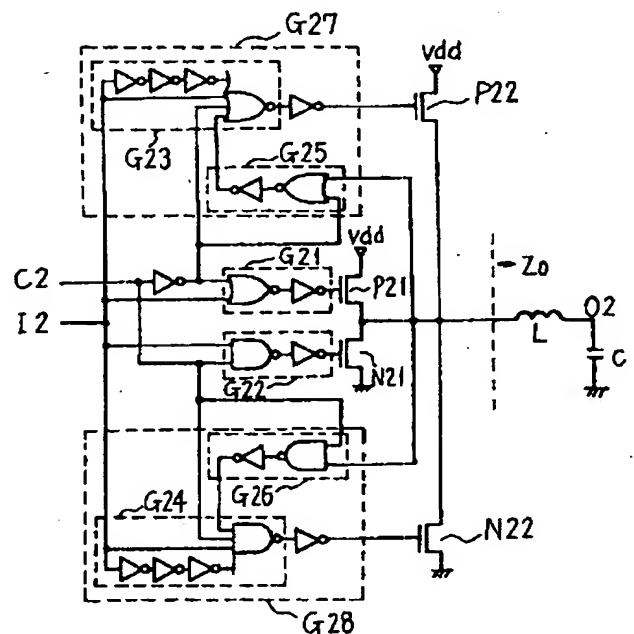
第1図は本発明の一実施例の構成を示す回路図、第2図は本発明の他の実施例の構成を示す回路図、第3図は本発明の入力信号とバッファ出力信号とを示す波形図、第4図は従来例の構成を示す回路図、第5図は従来例の入力信号とバッファ出力信号とを示す波形図である。

11、12…入力信号、O1、O2…出力信号、C2…制御信号、G11、G12、G21、G22…出力信号トランジスタ制御回路、G13、G14、G23、G24…パルス発生回路、G15、G16、G25、G26…出力ノード電圧検出回路、G17、G18、G27、G28…出力トランジスタ補助制御回路、P11、P21、P12、P22…トランジスタ、N11、N21、N12、N22…トランジスタ、L…インダクタンス、C…容量。

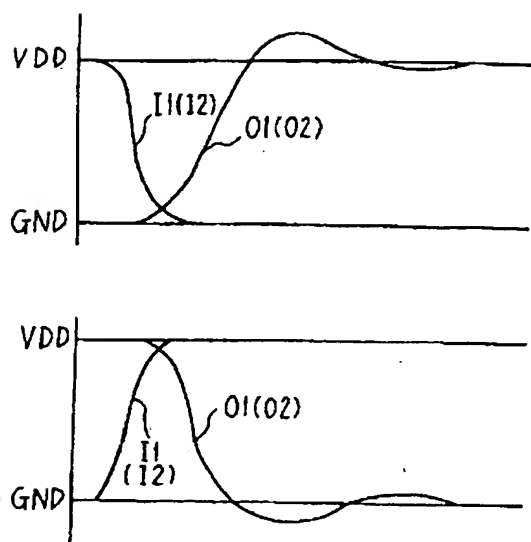
代理人 井理士 内 原 資



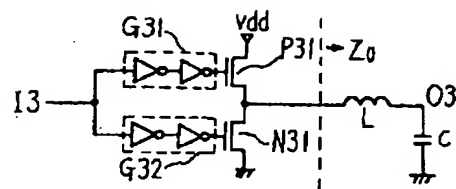
第1図



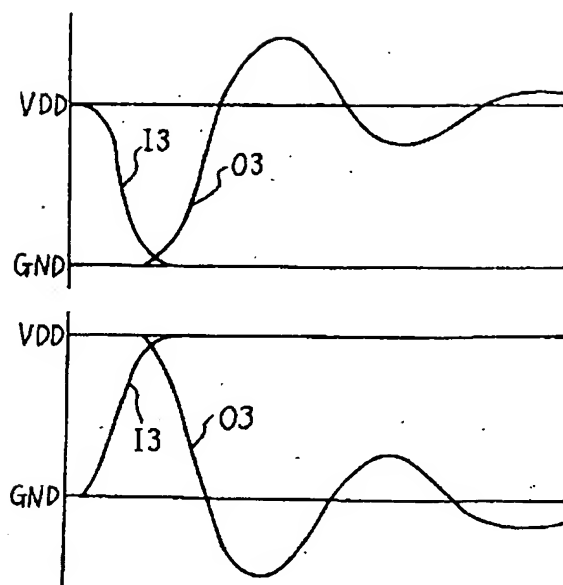
第2図



第3図



第4図



第5図